

АНОТАЦІЯ

Герман Ю.В. Синтез вузлів цифрової обробки сигналів засобами високорівневого проектування на базі систем на кристалі типу SoC FPGA Кваліфікаційна наукова праця на правах рукопису.

Дисертація на здобуття наукового ступеня доктора філософії за спеціальністю 172 – «Телекомунікації та радіотехніка» (17 — Електроніка та телекомунікації). — Чернівецький національний університет імені Юрія Федьковича, Чернівці, 2026.

Дисертаційна робота присвячена вирішенню важливої науково-прикладної задачі підвищення ефективності та детермінованості вузлів цифрової обробки сигналів у телекомунікаційних системах кордонного рівня (Edge). Основна увага зосереджена на розробці та обґрунтуванні методики їх синтезу засобами високорівневого проектування на базі гетерогенних платформ SoC FPGA. Запропонований підхід поєднує гнучкість вбудованих операційних систем із продуктивністю програмованої логіки, що дозволяє забезпечити обробку потоків даних у реальному часі зі стабільними часовими характеристиками.

У вступі обґрунтовано актуальність теми дисертаційної роботи, сформульовано мету та завдання проведених досліджень, визначено наукову новизну та практичне значення одержаних результатів, представлені методи, об'єкт і предмет досліджень, зазначено особистий внесок здобувача.

У першому розділі проаналізовано сучасні методи побудови вузлів цифрової обробки сигналів. Обґрунтовано доцільність застосування гібридного маршруту проектування на базі SoC FPGA, що поєднує високорівневий синтез (*HLS*) та апаратне розвантаження (*Hardware Offloading*) критичних операцій для систем кордонних обчислень.

Другий розділ присвячено методології побудови уніфікованого керуючого середовища. Доведено можливість забезпечення часової детермінованості ОС Linux загального призначення шляхом просторового рознесення обчислювальних ресурсів та впровадження «Паспорта конфігурації», що дозволило звести систематичну похибку вимірювань затримок до нуля.

Наукова новизна результатів, отриманих у другому розділі, полягає у тому, що:

1. **Вперше запропоновано** метод конфігурації вузлів цифрової обробки

сигналів на базі гетерогенних систем на кристалі, який відрізняється від відомих узгодженням конфігурації середовища вбудованої ОС із часовими характеристиками радіотехнічного тракту із застосуванням математичної моделі простору станів вектора $S_{\text{passport}} = \{H, M, R\}$, де формалізуються апаратні інваріанти, параметри пам'яті та політики виконання, що дало змогу перетворити неконтрольоване програмне середовище на детермінований об'єкт, наближаючи систематичну похибку вимірювань часових затримок до нуля ($f(S_{\text{hidden}}) \rightarrow 0$) і тим самим гарантувати в контексті телекомунікаційних систем фіксацію прихованих станів арбітражу системних шин, усунути апаратно-програмний фазовий шум під час транзакцій DMA та забезпечити детерміновану обробку безперервних широкосмугових потоків I/Q-даних без втрати сигнальних кадрів на граничних (*Edge*) вузлах.

Третій розділ присвячено практичній реалізації гетерогенних вузлів цифрової обробки сигналів. Експериментально встановлено «точку насичення» програмної обробки на процесорі (20 MSPS) та доведено ефективність архітектурного розділення площини даних (*Data Plane*) і площини керування (*Control Plane*) для забезпечення стабільності вузла в автономному режимі.

Наукова новизна висновків, отриманих у третьому розділі, полягає у тому, що:

1. **Вперше запропоновано** метод просторового виявлення та пеленгації джерел радіовипромінювання з борту БПЛА на основі багатоканального антено-фідерного тракту з односпрямованими антенами різних частотних діапазонів, який відрізняється від відомих застосуванням двохетапної процедури пошуку — оглядового кругового сканування з подальшим адаптивним локальним уточненням напрямку, що дозволяє скоротити час пошуку T_{find} у 2 рази порівняно з повним растровим скануванням за координатами (φ, θ) за умови однакових кроків дискретизації та часу інтеграції t_d .
2. **Удосконалено** метод синтезу гетерогенних вузлів цифрової обробки сигналів типу «HPS-Centric» у системах на кристалі шляхом адаптивного використання ресурсів програмно-апаратної платформи, який відрізняється від існуючих застосуванням програмованої логіки як

високошвидкісного інтерфейсно-буферного модуля тракту приймання та первинного перетворення даних, тоді як адаптивне керування потоками, конфігурація режимів функціонування та прийняття рішень реалізуються на рівні процесорної підсистеми, що уможлиблює динамічний розподіл функцій між апаратним і програмним рівнями під час проектування пристроїв на базі SoC FPGA.

У четвертому розділі вирішено проблему обмеженої пропускної здатності трактів ЦОС. Шляхом синтезу IP-ядра потокового криптографічного перетворення (ДСТУ 8845:2019) на рівні регістрових передач (RTL) доведено, що апаратне розвантаження арифметики полів Галуа забезпечує лінійне масштабування продуктивності до 83,2 Гбіт/с. Розроблено адаптерний шар для динамічної реконфігурації параметрів безпеки в реальному часі, що є критичним для систем із псевдовипадковим перелаштуванням робочої частоти (ППРЧ).

Наукова новизна результатів, отриманих у четвертому розділі, полягає у тому, що:

- 1. Набув подальшого розвитку критерій** «точки насичення» для вбудованих універсальних процесорів у трактах цифрової обробки сигналів, який, на відміну від існуючих підходів, формалізує межі ефективної обробки даних залежно від ширини смуги вхідного сигналу та обчислювальних ресурсів процесорної підсистеми, що дає змогу визначити умови доцільності застосування апаратного розвантаження з метою забезпечення детермінованості часових характеристик тракту обробки.
- 2. Вперше запропоновано архітектуру** криптографічного вузла телекомунікаційних систем для реалізації алгоритму «Струмок», яка ґрунтується на поєднанні оптимізованого RTL-опису обчислювального ядра з високорівневим описом інтерфейсів керування та відрізняється від існуючих апаратною ізоляцією тракту даних і оптимізацією шинних транзакцій для підтримки режиму швидкої зміни криптографічного контексту, що уможливило використання менш ніж 6% логічних ресурсів ПЛІС Cyclone V, досягнення пропускної здатності 6,4 Гбіт/с на одне обчислювальне ядро за тактової частоти 100 МГц та швидкості реконфігурації понад 7000 оновлень ключів за секунду, даючи змогу реалізувати адаптивні протоколи захисту в умовах динамічної зміни

радіочастотної обстановки.

При виконанні дисертаційної роботи отримано наступні практичні результати:

- 1. Розроблено та впроваджено уніфіковану апаратно-програмну платформу** на базі системи на кристалі SoC FPGA Cyclone V для побудови гетерогенних вузлів цифрової обробки сигналів. Платформа забезпечує стабільну обробку та маршрутизацію квадратурних I/Q-потоків із частотою дискретизації до **20 MSPS** у реальному часі, що дозволяє використовувати її як базовий модуль для систем широкосмугового радіомоніторингу та програмно-визначеного радіо (SDR).
- 2. Синтезовано функціональний вузол потокового криптографічного захисту** каналів зв'язку, що реалізує національний стандарт ДСТУ 8845:2019 «Струмук» на рівні регістрових передач (RTL). Розробка характеризується високою ресурсною ефективністю (використання < 6% логічної ємності кристала) та забезпечує динамічну зміну параметрів шифрування (*Key Agility*) зі швидкістю понад **7000 оновлень за секунду**, що є критичним для захищених систем із псевдовипадковим перелаштуванням робочої частоти (ППРЧ).
- 3. Розроблено методику та програмний інструментарій просторової ізоляції обчислювальних ресурсів (*Spatial Isolation*)**, що дозволяє інтегрувати операційну систему загального призначення Linux у контури керування телекомунікаційним обладнанням. Це уможливило зниження фазового тремтіння (джитера) усієї системи до рівня, сумісного з вимогами стандартів **IEC 61850** та **5G URLLC** (затримка передачі команди < 1 мс), без застосування спеціалізованих RTOS.
- 4. Реалізовано автономний вузол моніторингу радіочастотного спектра**, здатний функціонувати в умовах нестабільного каналу зв'язку. Завдяки впровадженню механізму адаптивного керування потоком (*Implicit Backpressure*) та локальної буферизації телеметрії у транзакційному режимі, забезпечено цілісність накопичення даних при розривах з'єднання, що дозволяє використовувати розробку у складі необслуговуваних постів радіоконтролю та мобільних платформ.

Ключові слова: система на кристалі з програмованою логікою (SoC FPGA),

вбудовані системи, цифрове оброблення сигналів, телекомунікаційні системи та мережі, програмно-визначене радіо (SDR), дрони (безпілотний літальний апарат), апаратне прискорення, контроль затримки та джиттеру, кордонні обчислення, інтернет речей (IoT), системи та протоколи керування, сенсори, інформаційна система, операційна система, оптимізація швидкодії.

ABSTRACT

Herman Y.V. Synthesis of digital signal processing nodes using high-level design tools based on SoC FPGAs Qualifying scientific work on the rights of a manuscript.

Dissertation for the degree of Doctor of Philosophy in specialty 172 – "Telecommunications and Radioengineering" (17 — Electronics and Telecommunications). — Yuriy Fedkovych Chernivtsi National University, Chernivtsi, 2026.

The dissertation is devoted to solving an important scientific and applied problem of increasing the efficiency and determinism of digital signal processing nodes in edge-level telecommunication systems (Edge). The main focus is on the development and substantiation of a methodology for their synthesis using high-level design tools based on heterogeneous SoC FPGA platforms. The proposed approach combines the flexibility of embedded operating systems with the performance of programmable logic, which allows ensuring real-time data stream processing with stable temporal characteristics.

The introduction substantiates the relevance of the dissertation topic, formulates the purpose and objectives of the research, defines the scientific novelty and practical significance of the obtained results, presents the methods, object, and subject of the research, and outlines the personal contribution of the applicant.

The first chapter analyzes modern methods for constructing digital signal processing nodes. It substantiates the feasibility of using a hybrid design flow based on SoC FPGA, which combines High-Level Synthesis (*HLS*) and Hardware Offloading of critical operations for edge computing systems.

The second chapter is devoted to the methodology of building a unified control environment. It proves the possibility of ensuring the temporal determinism of a general-purpose Linux OS through the spatial separation of computing resources and the

implementation of a "Configuration Passport," which allowed reducing the systematic error of latency measurements to zero.

The scientific novelty of the results obtained in the second chapter is that:

1. **For the first time, a method** for configuring digital signal processing nodes based on heterogeneous Systems-on-Chip **is proposed**. It differs from existing methods by aligning the configuration of the embedded OS environment control system with the temporal characteristics of the radio frequency path. This is achieved using a mathematical model of the state space vector $S_{\text{passport}} = \{H, M, R\}$, which formalizes hardware invariants (coherency registers), memory parameters, and OS execution policies. This allowed transforming an uncontrolled software environment into a deterministic system object, reducing the systematic error of temporal latency measurements to zero ($f(S_{\text{hidden}}) \rightarrow 0$). In the context of telecommunication systems, this guarantees the fixation of hidden states of system bus arbitration, eliminates hardware-software phase noise during DMA transactions, and ensures deterministic processing of continuous broadband I/Q data streams without the loss of signal frames at the edge nodes of the network.

The third chapter is devoted to the practical implementation of heterogeneous digital signal processing nodes. The "saturation point" of software processing on the processor (20 MSPS) has been experimentally established, and the effectiveness of the architectural separation of the Data Plane (*Data Plane*) and the Control Plane (*Control Plane*) to ensure node stability in autonomous mode has been proven.

The scientific novelty of the conclusions obtained in the third chapter is that:

1. **For the first time, a method has been proposed** for spatial detection and direction finding of radio emission sources from an unmanned aerial vehicle (UAV), based on a multichannel antenna-feeder network using directional antennas for different frequency bands. The method performs an initial panoramic 360° scan followed by adaptive local refinement of the source direction, and provides at least a twofold reduction of the search time T_{find} compared to full raster scanning over (φ, θ) under the same discretization steps and integration time t_d .
2. **The method** of synthesizing heterogeneous digital signal processing nodes of the "HPS-Centric" type in Systems-on-Chip **has been improved** through the adaptive use of hardware-software platform resources. The proposed

approach involves using the FPGA programmable logic as a high-speed interface-buffer module for the receiving path and primary digital signal processing, while adaptive data flow control, configuration of operating modes, and decision-making are implemented at the processor subsystem level. This enables the dynamic allocation of functions between the hardware and software levels when designing digital signal processing systems based on SoC FPGAs.

The fourth chapter solves the problem of limited bandwidth in DSP paths. By synthesizing an IP core for stream cryptographic transformation (DSTU 8845:2019 standard) at the Register Transfer Level (RTL), it has been proven that the hardware offloading of Galois field arithmetic ensures linear performance scaling up to 83.2 Gbps. An adapter layer has been developed for the dynamic reconfiguration of security parameters in real-time, which is critical for Frequency Hopping Spread Spectrum (FHSS) systems.

The scientific novelty of the results obtained in the fourth chapter is that:

1. **The criterion** of a *Saturation Point* for embedded general-purpose processors in digital signal processing paths **has been further developed**. Unlike existing approaches, it formalizes the limits of efficient processing depending on the input signal bandwidth and the processor's computational resources. This allowed defining the conditions for the feasibility of transitioning to Hardware Offloading to ensure the determinism of the channel's temporal characteristics.
2. **For the first time, the architecture** of a cryptographic node in telecommunication systems for implementing the "Strumok" algorithm **is proposed**. It is based on combining an optimized RTL description of the computational core with a high-level (HLS/C) description of the control interfaces, and is distinguished by the hardware isolation of the data path and the optimization of bus transactions to support the rapid cryptographic context change mode (*Key Agility*). This ensured the use of less than **6%** of the *Cyclone V* die's logic resources, achieved a throughput of **6.4 Gbps** per computational core at a clock frequency of **100 MHz**, and a reconfiguration speed of over **7000 key updates per second**, which allows the implementation of adaptive security protocols under conditions of a dynamically changing radio frequency environment.

During the execution of the dissertation work, the following practical results were obtained:

1. **A unified hardware-software platform** based on the SoC FPGA Cyclone V **has been developed and implemented** for building heterogeneous digital signal processing nodes. The platform ensures stable processing and routing of quadrature I/Q streams with a sampling rate of up to **20 MSPS** in real-time, allowing its use as a base module for broadband radio monitoring systems and Software-Defined Radio (SDR).
2. **A functional node** for stream cryptographic protection of communication channels **has been synthesized**, implementing the national standard DSTU 8845:2019 "Strumok" at the Register Transfer Level (RTL). The development is characterized by high resource efficiency (using $< 6\%$ of the die's logic capacity) and provides dynamic modification of encryption parameters (*Key Agility*) at a rate of over **7000 updates per second**, which is critical for secure FHSS systems.
3. **A methodology and software toolset** for the spatial isolation of computational resources (*Spatial Isolation*) **have been developed**, enabling the integration of a general-purpose Linux operating system into the control loops of telecommunication equipment. This made it possible to reduce the phase jitter of the entire system to a level compliant with the requirements of the **IEC 61850** and **5G URLLC** standards (command transmission latency < 1 ms) without the use of specialized RTOS.
4. **An autonomous radio frequency spectrum monitoring node** capable of functioning under unstable communication channel conditions **has been implemented**. Thanks to the introduction of an adaptive flow control mechanism (*Implicit Backpressure*) and local telemetry buffering in a transactional mode, the integrity of data accumulation during connection drops is ensured. This allows the development to be used as part of unattended radio monitoring posts and mobile platforms.

Keywords: system-on-chip FPGA (SoC FPGA), embedded systems, digital signal processing, telecommunication systems and networks, software-defined radio (SDR), drones (unmanned aerial vehicle), hardware acceleration, jitter and latency control, edge computing, Internet of Things (IoT), control systems and protocols, sensors, information system, operating system, performance optimization.

СПИСОК ПУБЛІКАЦІЙ ЗА ТЕМОЮ ДИСЕРТАЦІЇ

Наукові праці, в яких опубліковані основні наукові результати дисертації:

Наукові праці у міжнародних періодичних наукових виданнях, проіндексованих у наукометричних базах даних Web of Science Core Collection та/або Scopus:

1. О. Krulikovskiy, **Y. Herman**, and О. Verenko, “Hardware/software communication architecture for a SoC-FPGA-based time-to-digital converter,” *Proceedings of SPIE – The International Society for Optical Engineering*, vol. 13813, pp. 214–217, 2025. (Scopus). doi: <https://doi.org/10.1117/12.3092023>. (Внесок авторів: Круліковський О.: постановка задачі, розробка апаратної архітектури високошвидкісного тракту передачі даних на FPGA; Герман Ю.: розробка програмно-апаратного шлюзу (Linux-драйвер) та конфігурація механізмів доступу до пам'яті (DMA) через магістраль AXI4; Веренко О.: підготовка експериментального стенду та проведення вимірювань).

Наукові праці у виданнях, включених до переліку наукових фахових видань України:

2. **Y. Herman**, Н. Lastivka, and А. Samila, “Embedded operating systems in IoT edge computing,” *Security of Infocommunication Systems and Internet of Things*, vol. 2, no. 2, Art. no. 02001, 2024, doi: <https://doi.org/10.31861/sisiot2024.2.02001>. (Внесок авторів: Герман Ю.: концептуалізація, розробка методології застосування вбудованих ОС, програмна реалізація та проведення експериментальних досліджень; Ластівка Г.: підготовка базового набору даних, валідація результатів та допомога в оформленні методології; Саміла А.: постановка задачі, загальне наукове керівництво, рецензування та редагування тексту).
3. **Герман Ю.** та Саміла А., «Модульна EDGE-система збору та аналізу даних на базі Raspberry Pi та SoC FPGA», Вісник Хмельницького національного університету. Серія: Технічні науки, Т. 357, № 5.2, 2025, С. 86–92, doi: <https://doi.org/10.31891/307-5732-2025-357-69>. (Внесок авторів: Герман Ю.: розробка структурної схеми автономного телеметричного вузла, реалізація алгоритмів агрегації даних (стратегія Offline-First) та програмних інтерфейсів взаємодії; Саміла А.: загальне

наукове керівництво, визначення критеріїв оцінки ефективності розробленої системи, наукове редагування).

4. **Герман Ю.** та Верига А., «Офлайн система обробки та візуалізації радіосигналу», Вимірювальна та обчислювальна техніка в технологічних процесах, Т. 84, № 4, 2025, С. 246–252, doi: <https://doi.org/10.31891/2219-9365-2025-84-27>. (Внесок авторів: *Герман Ю.: розробка архітектури бортового обчислювального модуля (SDR-сканера), інтеграція радіотракту з системним середовищем Linux, оптимізація конвесра цифрової обробки сигналів, побудова клієнтського веб-інтерфейсу; Верига А.: розробка методу розподіленої візуалізації спектральних даних, інтеграція обчислювального модуля в систему, загальне наукове керівництво).*
5. **Y. Herman**, “FPGA Platforms and Their Use in Edge Computing,” *Security of Infocommunication Systems and Internet of Things*, vol. 3, no. 2, Art. no. 02008, 2025, doi: <https://doi.org/10.31861/sisiot2025.2.02008>.

Наукові праці, які засвідчують апробацію матеріалів дисертації:

6. **Герман Ю. В.**, Круліковський О. В. та Верига А. Д., «Автономна система обробки та візуалізації радіосигналів», праці XIV Міжнар. наук.-практ. конф. «Проблеми інформатики та комп’ютерної техніки» (ПІКТ–2025), Чернівці, Україна, 2025, С. 188–190. <https://drive.google.com/file/d/12FGgnfM6NA8HPo66h0TgVrfbPHAYDMFC/view> (Внесок авторів: *Герман Ю.В.: розробка архітектури програмного шару для безперервної потокової обробки сигналів; Круліковський О.В.: наукове редагування; Верига А.Д.: апаратне налаштування приймального тракту).*
7. **Герман Ю. В.** та Круліковський О. В., «Розробка та використання програмного забезпечення для систем на кристалі типу SoC FPGA Cyclone V», XII Міжнар. наук.-практ. конф. «Сучасні проблеми і досягнення в галузі радіотехніки, телекомунікацій та інформаційних технологій», Запоріжжя, 2024, С. 27–29. https://old.zp.edu.ua/uploads/dept_s&r/2024/conf/1.4/2024_Radiotekhnika_telekomunikatsiyi_ta_informatsiyini_tekhnolohiyi.pdf (Внесок авторів: *Герман Ю.В.: розробка архітектури програмно-апаратного шлюзу для керування периферією FPGA; Круліковський О.В.: верифікація апаратних ресурсів кристала, наукове консультування).*

8. Круліковський О. В., Герман Ю. В. та Веренко О. С., «Програмно-апаратна взаємодія систем на кристалі типу SoC FPGA Cyclone V», Physical and Technological Problems of Transmission, Processing and Storage of Information in Infocommunication Systems: Proceedings of the Xth International Scientific-Practical Conference, Чернівці, 2025, С. 45. https://drive.google.com/file/d/11rJfJNk4H-8W9_uyNE63X84MCMky_Ba-/view (Внесок авторів: Круліковський О.В.: обґрунтування загального підходу до реалізації радіотехнічних пристроїв із програмним керуванням, оптимізація та конфігурація обраної архітектури; Герман Ю.В.: реалізація програмного доступу до регістрів вводу-виводу через інтерфейс ММІО; Веренко О.С.: тестування часових характеристик мостів HPS-FPGA).
9. Герман Ю. В., «Оцінка ефективності вбудованих систем на базі Linux та FPGA», XXIX міжнар. молодіж. форум «Радіоелектроніка та молодь у XXI столітті», Харків, 2025, Т. 3, С. 540–542. <https://drive.google.com/file/d/1DGXvFT-OADOOOo5CSwDuFfZ52yhVaFAE/view>

Наукові праці, які додатково відображають наукові результати дисертації:

10. Y. Herman, O. Krulikovskiy, S. Haliuk, and S. Subbotin, “Development of an embedded operating system based on the Linux kernel for SoC FPGA,” *CEUR Workshop Proceedings*, vol. 3702, pp. 376–388, 2024. <https://www.scopus.com/pages/publications/85195909635> (Scopus) (Внесок авторів: Герман Ю.: розробка методики формування спеціалізованого керуючого середовища Linux, проведення експериментального вимірювання системного джитера; Круліковський О.: конфігурація апаратної процесорної підсистеми (HPS); Галюк С.: статистичний аналіз результатів роботи планувальника задач; Субботін С.: методологічне керівництво, наукове редагування).